

Docket No.: 50006-073

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Isao NOJIRI, et al.

Serial No.:

Filed: September 05, 2000

For: SEMICONDUCTOR DEVICE AND ITS WIRING METHOD

:  
:  
:  
:  
:  
:  
:

Group Art Unit:

Examiner:

#4/Ready  
10/31/00  
JCS11 U.S. PTO  
09/654875  
09/05/00

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

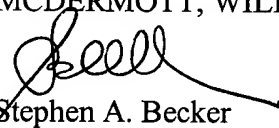
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-007923,  
filed January 17, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:klm  
**Date: September 5, 2000**  
Facsimile: (202) 756-8087

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

50006-073  
Adress  
SEPTEMBER 5, 2000  
NOTIP e+cl.

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日  
Date of Application:

2000年 1月17日

出 願 番 号  
Application Number:

特願2000-007923

出 願 人  
Applicant(s):

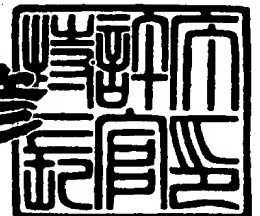
三菱電機株式会社



2000年 2月14日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3006498

【書類名】 特許願

【整理番号】 520510JP01

【提出日】 平成12年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 野尻 勲

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 真壁 立

【特許出願人】

    【識別番号】 000006013

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100062144

    【弁理士】

    【氏名又は名称】 青山 葆

【選任した代理人】

    【識別番号】 100086405

    【弁理士】

    【氏名又は名称】 河宮 治

【手数料の表示】

    【予納台帳番号】 013262

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその配線方法

【特許請求の範囲】

【請求項 1】 マザー基板上に実装される半導体装置であって、

上記マザー基板上に配置される回路基板と、上記回路基板上に配置された半導体チップとを有し、

(a) 上記回路基板は、

上記半導体チップを支持する表面上に、パッド電極と、該パッド電極から離れた場所に設けた中継電極と、上記パッド電極と中継電極とを電氣的に接続する配線とを有し、

(b) 上記半導体チップは上記回路基板のパッド電極に対応するパッド電極を有し、

(c) 上記回路基板のパッド電極と上記半導体チップのパッド電極とをボンディングワイヤで電氣的に接続したことを特徴とする半導体装置。

【請求項 2】 上記回路基板のパッド電極と中継電極とを接続する配線が、上記パッド電極及び中継電極と共に上記回路基板上に印刷された配線であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 上記回路基板のパッド電極と中継電極とを接続する配線がボンディングワイヤであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 マザー基板上に配置される回路基板と、上記回路基板上に配置された半導体チップとを有する半導体装置において上記回路基板と半導体チップとを電氣的に接続する配線方法であって、

(a) 中継電極と、上記中継電極から離れた場所に設けたパッド電極と、上記中継電極と上記パッド電極とを電氣的に接続する配線とを有する回路基板を準備し、

(b) 上記回路基板の中継電極と上記半導体チップに設けたパッド電極とをボンディングワイヤによって電氣的に接続することを特徴とする配線方法。

【請求項 5】 第 1 の半導体チップと該第 1 の半導体チップの上に配置された第 2 の半導体チップとを有し、第 1 の半導体チップ上に設けたパッド電極と第

2の半導体チップ上に設けたパッド電極とを電氣的に接続したことを特徴とする半導体装置。

【請求項6】 上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とをボンディングワイヤで接続したことを特徴とする請求項5に記載の半導体装置。

【請求項7】 上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とを導電部材を介して接続したことを特徴とする請求項5に記載の半導体装置。

【請求項8】 第1の半導体チップの上に第2の半導体チップを配置し、第1の半導体チップ上に設けたパッド電極と第2の半導体チップ上に設けたパッド電極とを電氣的に接続することを特徴とする配線方法。

【請求項9】 上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とをボンディングワイヤで接続することを特徴とする請求項8に記載の配線方法。

【請求項10】 上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極は該第1の半導体チップの第2の半導体チップに対向する領域に配置され、上記第1の半導体チップのパッド電極と第2の半導体チップのパッド電極とを導電部材を介して接続することを特徴とする請求項8に記載の配線方法。

【請求項11】 回路基板と、第1の半導体チップと、第2の半導体チップとを有し、上記回路基板上に上記第1の半導体チップを載せ、さらに該第1の半導体チップ上に上記第2の半導体チップを載せ、上記第1の半導体チップと上記第2の半導体チップをそれぞれ上記回路基板に電氣的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、

(a) 上記回路基板はパッド電極を有し、

(b) 上記第1の半導体チップは2つの中継用パッド電極と、上記2つの中継用パッド電極を電氣的に接続する配線とを有し、

- (c) 上記第 2 の半導体チップはパッド電極を有し、
- (d) 上記第 1 の半導体チップの一方の中継用パッド電極と上記回路基板のパッド電極を電氣的に接続し、
- (e) 上記第 1 の半導体チップの他方の中継用パッドと第 2 の半導体チップのパッド電極とを電氣的に接続したことを特徴とする半導体装置。

【請求項 1 2】 上記第 1 の半導体チップの一方の中継用パッド電極と上記回路基板のパッド電極との接続、又は上記第 1 の半導体チップの他方の中継用パッド電極と上記第 2 の半導体チップのパッド電極との接続、の少なくともいずれか一方をボンディングワイヤで行ったことを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】 回路基板と、第 1 の半導体チップと、第 2 の半導体チップとを有し、上記回路基板上に上記第 1 の半導体チップを載せ、さらに該第 1 の半導体チップ上に上記第 2 の半導体チップを載せ、上記第 1 の半導体チップと上記第 2 の半導体チップをそれぞれ上記回路基板に電氣的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、

- (a) 上記回路基板は 2 つのパッド電極を有し、
- (b) 上記第 1 の半導体チップは、2 つの中継用パッド電極と、上記 2 つの中継用パッド電極を電氣的に接続する配線を有し、
- (c) 上記第 2 の半導体チップはパッド電極を有し、
- (d) 上記回路基板の一方のパッド電極と上記第 1 の半導体チップの一方の中継用パッド電極とを接続し、上記回路基板の他方のパッド電極と上記第 1 の半導体チップの他方の中継用パッド電極とを接続し、上記回路基板の他方のパッド電極と上記第 2 の半導体チップのパッド電極とを接続したことを特徴とする半導体装置。

【請求項 1 4】 上記回路基板の一方のパッド電極と上記第 1 の半導体チップの一方の中継用パッド電極との接続、上記回路基板の他方のパッド電極と上記第 1 の半導体チップの他方の中継用パッド電極との接続、又は上記回路基板の他方のパッド電極と上記第 2 の半導体チップのパッド電極の接続、の少なくともいずれかがボンディングワイヤで行われていることを特徴とする請求項 1 3 の

半導体装置。

【請求項 1 5】 回路基板と、第 1 の半導体チップと、第 2 の半導体チップとを有し、上記回路基板上に上記第 1 の半導体チップを載せ、さらに該第 1 の半導体チップ上に上記第 2 の半導体チップを載せ、上記第 1 の半導体チップと上記第 2 の半導体チップをそれぞれ上記回路基板に電氣的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、

- (a) 上記回路基板はパッド電極を有し、
- (b) 上記第 1 の半導体チップは、2 つの中継用パッド電極と、上記 2 つの中継用パッド電極を電氣的に接続する配線とを有し、
- (c) 上記第 2 の半導体チップはパッド電極を有し、
- (d) 上記回路基板のパッド電極と上記第 1 の半導体チップの一方の中継用パッド電極とを接続し、上記第 1 の半導体チップの他方の中継用パッド電極と上記第 2 の半導体チップのパッド電極とを接続したことを特徴とする半導体装置。

【請求項 1 6】 上記回路基板のパッド電極と上記第 1 の半導体チップの一方の中継用パッド電極との接続、又は上記第 1 の半導体チップの他方の中継用パッド電極と上記第 2 の半導体チップのパッド電極との接続、の少なくともいずれかがボンディングワイヤで行われていることを特徴とする請求項 1 5 の半導体装置。

【請求項 1 7】 回路基板と、第 1 の半導体チップと、第 2 の半導体チップとを有し、上記回路基板上に上記第 1 の半導体チップを載せ、さらに該第 1 の半導体チップ上に上記第 2 の半導体チップを載せ、上記第 1 の半導体チップと上記第 2 の半導体チップをそれぞれ上記回路基板に電氣的に接続し、上記回路基板を介してマザー基板上に実装される半導体装置において、

- (a) 上記回路基板は 2 つのパッド電極を有し、
- (b) 上記第 1 の半導体チップは中継用パッド電極を有し、
- (c) 上記第 2 の半導体チップはパッド電極を有し、
- (d) 上記回路基板の一方のパッド電極と上記第 1 の半導体チップの中継用パッド電極とを接続し、上記第 1 の半導体チップの中継用パッド電極と上記回路基板の他方のパッド電極を接続し、上記回路基板の他方のパッド電極と上記第 2 の



半導体チップのパッド電極とを接続したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マザー基板上に実装される半導体装置及びその配線方法に関する。具体的には、半導体素子を含む一つ又は複数のチップを回路基板（ドータ基板）上に載せ、チップ上に設けたパッド電極と回路基板上に設けた別のパッド電極とをボンディングワイヤ等で電氣的に接続した半導体装置又は半導体部品（例えば、チップセット）及びその配線方法に関する。

【0002】

【従来の技術】

限られた面積のマザー基板上に多数の半導体装置又は半導体部品（例えばチップセット）を実装する目的から、ドータ基板の片面上又は両面上に一つの半導体チップ又は重ね合わされた複数の半導体チップを載せたチップ積層型パッケージ〔例えば、S-CSP (Stacked Chip Scale Package)、S-MCP (Multi Chip Package)〕が提供されている。

【0003】

具体的に、図11と図12は積層型パッケージ（S-CSP）の一例を示す。このパッケージ100において、ドータ基板である回路基板102は、上面に複数のパッド電極104（104<sub>1</sub> - 104<sub>5</sub>）を有する回路が配線されている。他方、回路基板102の下面には、パッド電極104に対応した複数のはんだボール106が設けられ、これら対応するパッド電極104とはんだボール106が回路基板102に形成されたスルーホール108を介して電氣的に接続されている。回路基板102の上面にはまた、周知の半導体製造技術を用いて形成した第1の半導体チップ110と第2の半導体チップ112がこの順序で積層されている。第1の半導体チップ110は、内部の回路素子と電氣的に接続されたパッド電極114（114<sub>2</sub>、114<sub>4</sub>）を有する。他方、第2の半導体チップ112は、内部の回路素子と電氣的に接続されたパッド電極114（114<sub>1</sub>、114<sub>3</sub>、

114<sub>5</sub>)を有する。そして、第1と第2の半導体チップ110、112のパッド電極は、矢印Y-Y'方向から見たとき、パッド電極114<sub>2</sub>がパッド電極114<sub>1</sub>と114<sub>3</sub>の間に位置し、パッド電極114<sub>4</sub>がパッド電極114<sub>3</sub>と114<sub>5</sub>の間に位置するように配置されている。そして、パッド電極114<sub>1</sub>-114<sub>5</sub>は、ボンディングワイヤ(金線)116によって対応する回路基板102上のパッド電極104(104<sub>1</sub>-104<sub>5</sub>)に電氣的に接続されている。このようにして電氣的に接続された回路基板102と第1及び第2の半導体チップ110、112は、これら半導体チップ110、112とボンディングワイヤ116を樹脂で封入し、半導体装置として完成される。なお、実際の半導体装置では、図示されている数よりも多くの数のパッド電極が回路基板や第1及び第2の半導体チップ上に存在するが、図面を簡略化するために、図10と図11ではそれらの一部のみを示している。

#### 【0004】

##### 【発明が解決しようとする課題】

ところが、上述のように、半導体チップ110、112と回路基板102との電氣的接続を両者の表面上に設けたパッド電極104、114とこれらを連結するボンディングワイヤ116とで行なうようにした半導体装置100では、半導体チップ110、112のパッド電極114<sub>1</sub>-114<sub>5</sub>と回路基板102のパッド電極104<sub>1</sub>-104<sub>5</sub>は、矢印X-X'方向にこの順番に配置されていなければならない。具体的に図12を用いて説明すると、回路基板102上で矢印X-X'方向に一列に配置された5個のパッド電極104<sub>1</sub>-104<sub>5</sub>は、半導体チップ110、112のパッド電極114<sub>1</sub>-114<sub>5</sub>にそれぞれ対応していなければならない。逆に、回路基板102のパッド電極104<sub>1</sub>と矢印X-X'方向に関して反対側にある半導体チップ112のパッド電極114<sub>5</sub>とをボンディングワイヤ116で接続しようとするれば、このボンディングワイヤが他のボンディングワイヤと交叉して接触するという問題を生じる。

#### 【0005】

しかし、現実には、マザー基板の配線やマザー基板上に配置される他の電気部品との電氣的接続を図るうえで、例えば図12において、半導体チップ112の

パッド電極114<sub>1</sub>を回路基板102のパッド電極104<sub>5</sub>に接続したいという要求がある。しかし、マザー基板ごとに半導体チップ110、112における回路を変更するものとすれば、回路ごとに違ったパターン露光用マスクを用意しなければならない。

#### 【0006】

##### 【課題を解決するための手段】

このような課題を解決するために、本願発明は、ワイヤボンディングによって制限されることなく、半導体チップのパッド電極を回路基板（ドータ基板）の任意の位置に配置された電気接続部に対して電氣的に接続できる半導体装置を提供することを目的とする。

#### 【0007】

また、本願発明は、半導体チップの回路配線を変更することなく、異なる回路配置を有する種々のマザー基板上に実装可能な半導体装置を提供することを目的とする。

#### 【0008】

さらに、本願発明は、ワイヤボンディングで接続可能な範囲を超えて、半導体チップと回路基板とを電氣的に接続できる半導体装置を提供することを目的とする。

#### 【0009】

以上の目的を達成するために、本発明にかかる半導体装置は、マザー基板上に配置される回路基板と、上記回路基板上に配置された半導体チップとを含む。この回路基板は、半導体チップを支持する表面上に、パッド電極と、該パッド電極から離れた場所に設けた中継電極と、パッド電極と中継電極とを電氣的に接続する配線とを有する。一方、半導体チップは上記回路基板のパッド電極に対応するパッド電極を有する。そして、回路基板のパッド電極と半導体チップのパッド電極は、ボンディングワイヤで電氣的に接続されている。

#### 【0010】

本実施形態において、回路基板のパッド電極と中継電極とを接続する配線は、パッド電極及び中継電極と共に回路基板上に印刷された配線であってもよいし、

ボンディングワイヤでもよい。

【 0 0 1 1 】

本発明にかかる配線方法は、マザー基板上に配置される回路基板と、回路基板上に配置された半導体チップとを有する半導体装置において回路基板と半導体チップとを電氣的に接続するものである。この配線方法は、中継電極と、中継電極から離れた場所に設けたパッド電極と、中継電極とパッド電極とを電氣的に接続する配線とを有する回路基板を準備する工程と、回路基板の中継電極と半導体チップに設けたパッド電極とをボンディングワイヤによって電氣的に接続する工程とを有する。

【 0 0 1 2 】

本発明の他の形態の半導体装置は、第 1 の半導体チップと該第 1 の半導体チップの上に配置された第 2 の半導体チップとを有し、第 1 の半導体チップ上に設けたパッド電極と第 2 の半導体チップ上に設けたパッド電極とを電氣的に接続したものである。

【 0 0 1 3 】

本実施形態において、第 1 の半導体チップのパッド電極と第 2 の半導体チップのパッド電極はボンディングワイヤで接続するのが好ましい。ただし、第 1 の半導体チップのパッド電極は該第 1 の半導体チップの第 2 の半導体チップに対向する領域に配置し、第 1 の半導体チップのパッド電極は該第 1 の半導体チップの第 2 の半導体チップに対向する領域に配置し、第 1 の半導体チップのパッド電極と第 2 の半導体チップのパッド電極とを導電部材を介して接続してもよい。

【 0 0 1 4 】

本発明の他の形態の配線方法は、第 1 の半導体チップの上に第 2 の半導体チップを配置し、第 1 の半導体チップ上に設けたパッド電極と第 2 の半導体チップ上に設けたパッド電極とを電氣的に接続するものである。

【 0 0 1 5 】

本実施形態において、第 1 の半導体チップのパッド電極と第 2 の半導体チップのパッド電極は、ボンディングワイヤで接続するのが好ましい。または、第 1 の半導体チップのパッド電極は該第 1 の半導体チップの第 2 の半導体チップに対向

する領域に配置し、第 1 の半導体チップのパッド電極は該第 1 の半導体チップの第 2 の半導体チップに対向する領域に配置し、第 1 の半導体チップのパッド電極と第 2 の半導体チップのパッド電極とを導電部材を介して接続してもよい。

## 【 0 0 1 6 】

本発明の他の形態の半導体装置は、回路基板と、第 1 の半導体チップと、第 2 の半導体チップとを有し、回路基板上に第 1 の半導体チップを載せ、さらに該第 1 の半導体チップ上に第 2 の半導体チップを載せ、第 1 の半導体チップと第 2 の半導体チップをそれぞれ回路基板に電氣的に接続し、回路基板を介してマザー基板上に実装されるものである。この半導体装置において、回路基板はパッド電極を有し、第 1 の半導体チップは 2 つの中継用パッド電極と、 2 つの中継用パッド電極を電氣的に接続する配線とを有し、第 2 の半導体チップはパッド電極を有する。そして、第 1 の半導体チップの一方の中継用パッド電極と上記回路基板のパッド電極を電氣的に接続し、第 1 の半導体チップの他方の中継用パッドと第 2 の半導体チップのパッド電極とを電氣的に接続してある。

## 【 0 0 1 7 】

本実施形態の半導体装置では、第 1 の半導体チップの一方の中継用パッド電極と回路基板のパッド電極との接続、又は第 1 の半導体チップの他方の中継用パッド電極と上記第 2 の半導体チップのパッド電極との接続、の少なくともいずれか一方をボンディングワイヤで行うことができる。

## 【 0 0 1 8 】

本発明の他の形態の半導体装置は、回路基板と、第 1 の半導体チップと、第 2 の半導体チップとを有し、回路基板上に第 1 の半導体チップを載せ、さらに該第 1 の半導体チップ上に第 2 の半導体チップを載せ、第 1 の半導体チップと第 2 の半導体チップをそれぞれ回路基板に電氣的に接続し、回路基板を介してマザー基板上に実装されるものである。この半導体装置において、回路基板は 2 つのパッド電極を有し、第 1 の半導体チップは、 2 つの中継用パッド電極と、 2 つの中継用パッド電極を電氣的に接続する配線を有し、第 2 の半導体チップはパッド電極を有する。そして、回路基板の一方のパッド電極と第 1 の半導体チップの一方の中継用パッド電極とを接続し、回路基板の他方のパッド電極と第 1 の半導体チッ

プの他方の中継用パッド電極とを接続し、回路基板の他方のパッド電極と第 2 の半導体チップのパッド電極とを接続している。

【 0 0 1 9 】

本実施形態の半導体装置において、回路基板の一方のパッド電極と第 1 の半導体チップの一方の中継用パッド電極との接続、回路基板の他方のパッド電極と第 1 の半導体チップの他方の中継用パッド電極との接続、又は回路基板の他方のパッド電極と第 2 の半導体チップのパッド電極の接続、の少なくともいずれかがボンディングワイヤを行うのが好ましい。

【 0 0 2 0 】

本発明の他の形態の半導体装置は、回路基板と、第 1 の半導体チップと、第 2 の半導体チップとを有し、回路基板上に第 1 の半導体チップを載せ、さらに該第 1 の半導体チップ上に第 2 の半導体チップを載せ、第 1 の半導体チップと第 2 の半導体チップをそれぞれ回路基板に電氣的に接続し、回路基板を介してマザー基板上に実装されるものである。この半導体装置において、回路基板はパッド電極を有し、第 1 の半導体チップは、2 つの中継用パッド電極と、2 つの中継用パッド電極を電氣的に接続する配線とを有し、第 2 の半導体チップはパッド電極を有する。そして、回路基板のパッド電極と上記第 1 の半導体チップの一方の中継用パッド電極とを接続し、上記第 1 の半導体チップの他方の中継用パッド電極と上記第 2 の半導体チップのパッド電極とを接続してある。

【 0 0 2 1 】

本実施形態の半導体装置において、回路基板のパッド電極と第 1 の半導体チップの一方の中継用パッド電極との接続、又は第 1 の半導体チップの他方の中継用パッド電極と第 2 の半導体チップのパッド電極との接続、の少なくともいずれかがボンディングワイヤで行うことが好ましい。

【 0 0 2 2 】

本発明の他の形態の半導体装置は、回路基板と、第 1 の半導体チップと、第 2 の半導体チップとを有し、上記回路基板上に上記第 1 の半導体チップを載せ、さらに該第 1 の半導体チップ上に上記第 2 の半導体チップを載せ、上記第 1 の半導体チップと上記第 2 の半導体チップをそれぞれ上記回路基板に電氣的に接続し、

上記回路基板を介してマザー基板上に実装される。この半導体装置において、回路基板は2つのパッド電極を有し、第1の半導体チップは中継用パッド電極を有し、第2の半導体チップはパッド電極を有する。そして、回路基板の一方のパッド電極と第1の半導体チップの中継用パッド電極とが接続され、第1の半導体チップの中継用パッド電極と回路基板の他方のパッド電極が接続され、回路基板の他方のパッド電極と第2の半導体チップのパッド電極とが接続されている。

【0023】

#### 【発明の実施の形態】

以下、添付図面を参照して、本発明の好適な実施の形態を説明する。なお、以下に説明する複数の実施形態において、共通する符号は共通する部分又は対応する部分を示す。

【0024】

#### (1) 実施の形態1

図1と図2は実施の形態1にかかる半導体装置の一部を示す。これらの図において、全体を符号10で示す半導体装置は、同種の半導体装置又は他の電気部品と共にマザー基板12上に実装される半導体電子部品（例えば、演算装置、記憶装置）である。

【0025】

この半導体装置10は回路基板14を有する。回路基板14は、絶縁性材料（例えば、ガラスとエポキシ樹脂の組み合わせ、またはポリイミド樹脂）からなる四角形の板の表面と裏面に所定の配線を印刷した矩形のプリント配線基板（ドータ基板）が一般的に用いられる。配線について更に具体的に説明すると、回路基板14の表面に印刷された回路は、矢印X-X'方向とこれに直交する矢印Y-Y'方向に伸びる回路基板縁部に沿って複数のパッド電極（パッド電極） $16_{X1}$ 、 $16_{X2}$ 、 $\dots$ 、 $16_{Y1}$ 、 $16_{Y2}$ 、 $16_{Y3}$ 、 $\dots$ を有する。また、印刷された回路には、符号 $16_{Y1}$ で示す特定のパッド電極又は導電接続部（以下、必要に応じて、この電極を「中継用パッド電極」という。）から矢印Y-Y'方向に所定距離を隔てた位置に配置された接続用電極18と、中継用パッド電極 $16_{Y1}$ と接続用電極18とを電氣的に接続する配線20を含む。一方、回路基板14の

裏面には、中継用パッド電極  $16_{Y1'}$  を除く他の複数のパッド電極  $16_{X1}$ 、 $16_{X2}$ 、 $\dots$ 、 $16_{Y2}$ 、 $16_{Y3}$ 、 $\dots$  と接続用電極 18 に対応してはんだボール 22 が固定されており、これらパッド電極  $16_{X1}$ 、 $16_{X2}$ 、 $\dots$ 、 $16_{Y2}$ 、 $16_{Y3}$ 、 $\dots$  及び接続用電極 18 と対応するはんだボール 22 とが、回路基板 14 に形成された電気配線（例えば、回路基板 14 の表面と裏面との間で貫通するスルーホール 24）を介して電氣的に接続されている。

## 【 0 0 2 6 】

回路基板 14 の表面には、該回路基板 14 よりも小さな第 1 の半導体チップ 26 が載せられ、また第 1 の半導体チップ 26 の表面に該第 1 の半導体チップ 26 よりも小さな第 2 の半導体チップ 30 が載せられている。これら回路基板 14 と第 1 の半導体チップ 26 との固定、また第 1 と第 2 の半導体チップ 26、30 の固定は、接着剤で行なうことができる。なお、本実施形態では、回路基板 14 だけでなく、第 1 及び第 2 の半導体チップ 26、30 も、これらを上方（矢印 Z 方向）から見たときの平面形状が四角形であるが、それらの平面形状は四角形に限るものでなく、その他の形状であってもよい。

## 【 0 0 2 7 】

第 1 と第 2 の半導体チップ 26、30 は、シリコン基板の表面に周知の薄膜形成技術・エッチング技術・露光技術等を含む種々の半導体形成プロセスを通じて形成された一つ又は複数の半導体回路素子（例えば、トランジスタ）を含む。また、第 1 の半導体チップ 26 は、矢印 X-X' 方向と矢印 Y-Y' 方向に伸びる縁部に沿って複数のパッド電極（パッド電極） $32_{X1}$ 、 $32_{Y2}$ 、 $\dots$  を有する。同様に、第 2 の半導体チップ 30 は、矢印 X-X' 方向と矢印 Y-Y' 方向に伸びる縁部に沿って複数のパッド電極（パッド電極） $32_{X2}$ 、 $32_{Y1}$ 、 $32_{Y2}$ 、 $\dots$  を有する。これらパッド電極  $32_{X1}$ 、 $32_{X2}$ 、 $\dots$ 、 $32_{Y1}$ 、 $32_{Y2}$ 、 $32_{Y3}$ 、 $\dots$  は、上述した回路基板 14 のパッド電極  $16_{X1}$ 、 $16_{X2}$ 、 $\dots$ 、 $16_{Y1'}$ 、 $16_{Y2}$ 、 $16_{Y3}$ 、 $\dots$  に対応している。具体的に、矢印 Y-Y' 方向に伸びる縁部近傍に配置されたパッド電極は、 $16_{Y1'}$  と  $32_{Y1}$ 、 $16_{Y2}$  と  $32_{Y2}$ 、及び  $16_{Y3}$  と  $32_{Y3}$  がそれぞれほぼ矢印 X-X' 方向に伸びる同一直線上に配置されている。また、矢印 X-X' 方向に伸びる縁部近傍に配置されたパッド



電極は、 $16_{X1}$ と $32_{X1}$ 、 $16_{X2}$ と $32_{X2}$ 、及び $16_{X3}$ と $32_{X3}$ がそれぞれほぼ矢印Y-Y' 方向に伸びる同一直線上に配置されている。なお、これらのパッド電極 $32_{X1}$ 、 $32_{X2}$ ・・・、 $32_{Y1}$ 、 $32_{Y2}$ 、 $32_{Y3}$ ・・・は、上述した半導体形成プロセスの一過程で形成してもよいし、半導体形成プロセスとは別に、周知の印刷技術を利用して形成してもよい。そして、パッド電極 $32_{X1}$ 、 $32_{X2}$ ・・・、 $32_{Y1}$ 、 $32_{Y2}$ 、 $32_{Y3}$ ・・・は、回路基板14上に第1及び第2の半導体チップ26、30を固定した後、周知のワイヤボンダ（図示せず）によって、回路基板14上のパッド電極 $16_{X1}$ 、 $16_{X2}$ ・・・、 $16_{Y1}$ 、 $16_{Y2}$ 、 $16_{Y3}$ ・・・との間にボンディングワイヤ（金線）34を張設して電氣的に接続されている。最後に、特に図示していないが、第1及び第2の半導体チップ30は、ボンディングワイヤ34及びパッド電極を含めて、絶縁材料からなる樹脂によって封入される（図10参照）。

## 【0028】

以上のようにして形成された半導体装置10は、回路基板14よりも一般に相当大きなマザー基板12の配線上に配置された後、リフロー炉等の加熱炉（図示せず）で加熱してはんだボール22を溶融し、半導体チップ26、30がマザー基板上の所定の回路に永久的に電氣的接続される。

## 【0029】

したがって、半導体装置10をマザー基板に実装した状態で、半導体チップ30のパッド電極 $32_{Y1}$ を接続すべきマザー基板上の回路部分が、回路基板14における中継用パッド電極 $16_{Y1}$ に対応する位置でなく接続用電極18に対向する位置にあっても（換言すれば、パッド電極 $32_{Y1}$ から矢印Y-Y' 方向にオフセットした場所にあっても）、この半導体装置10によれば、パッド電極 $32_{Y1}$ をマザー基板上の目的の回路部分に接続できる。換言すれば、半導体チップ26、30の設計（特に、マスクパターン）を変更することなく、回路基板14上の中継パッド電極等を利用することで、半導体チップ26、30の各パッド電極をマザー基板上の所定の回路部分に正しく接続できる。また、この半導体装置10によれば、従来の技術の欄で説明したような、ボンディングワイヤの交叉接触の問題もない。

## 【 0 0 3 0 】

## ( 2 ) 実施の形態 2

図 3 は実施の形態 2 にかかる半導体装置 1 0<sub>2</sub>の一部を示す。この半導体装置 1 0<sub>2</sub>において、回路基板 1 4 の表面に形成された回路は、中継用パッド電極 1 6<sub>Y1</sub>' から矢印 Y 方向に所定距離だけ隔てた位置に接続用パッド電極 1 6<sub>Y0</sub>が設けてある。また、第 1 の半導体チップ 2 6 には、矢印 Y - Y' 方向に所定距離だけ隔てて配置された 2 つの中継用パッド電極 3 2<sub>Y1</sub>' と 3 2<sub>Y0</sub>' と、これらの中継用パッド電極を電氣的に接続する配線 3 6 が設けてある。さらに、図示しないが、回路基板 1 4 の裏面には、接続用パッド電極 1 6<sub>Y0</sub>に対応する位置にはんだボールが設けられ、これら接続用パッド電極 1 6<sub>Y0</sub>とはんだボールがスルーホール等の電氣的接続により接続されている。そして、接続用パッド電極 1 6<sub>Y0</sub>と中継用パッド電極 3 2<sub>Y0</sub>'、また中継用パッド電極 3 2<sub>Y1</sub>' と 1 6<sub>Y1</sub>'、さらに中継用パッド電極 1 6<sub>Y1</sub>' と第 2 の半導体チップ 3 0 のパッド電極 3 2<sub>Y1</sub>がボンディングワイヤ 3 4 で接続され、これによりパッド電極 3 2<sub>Y1</sub>が該パッド電極 3 2<sub>Y1</sub>から矢印 Y - Y' 方向にオフセットした接続用パッド電極 1 6<sub>Y0</sub>に対して電氣的に接続されている。

## 【 0 0 3 1 】

この半導体装置 1 0<sub>2</sub>によれば、上述した実施の形態 1 と同様に、一方の半導体チップ 2 6 のマスクパターンと回路基板に回路を印刷するマスクパターンを一部変更するだけ、他方の半導体チップ 3 0 のマスクパターンを変更することなく、中継用パッド電極等回路基板 1 4 上の中継パッド電極等を利用することで、半導体チップ 2 6、3 0 の各パッド電極をマザー基板上の所定の回路部分に正しく接続できる。また、回路基板 1 4 の表面に図 1 に示すような配線 2 0 を設けるスペースが無い場合でも、本実施の形態のように半導体チップ上に中継用配線を設けることでボンディングワイヤの交叉を解消できる。

## 【 0 0 3 2 】

## ( 3 ) 実施の形態 3

図 4 は実施の形態にかかる半導体装置 1 0<sub>3</sub>の一部を示す。この半導体装置 1 0<sub>3</sub>は、実施の形態 2 の変形例で、半導体チップ 3 0 のパッド電極 3 2<sub>Y1</sub>と半導

体チップ 2 6 の中継用パッド電極 3 2<sub>Y1'</sub>、また半導体チップ 2 6 の中継用パッド電極 3 2<sub>Y0'</sub> と回路基板 1 4 の接続用パッド電極 1 6<sub>Y0</sub> を、それぞれボンディングワイヤ 3 4 で接続し、これによりパッド電極 3 2<sub>Y1</sub> を該パッド電極 3 2<sub>Y1</sub> から矢印 Y-Y' 方向にオフセットした接続用パッド電極 1 6<sub>Y0</sub> に、ボンディングワイヤを交叉することなく接続できる。また、本実施の形態 3 によれば、第 2 の半導体チップ 2 6 に中継用パッド電極等を設けるだけで済み、回路基板 1 4 や第 2 の半導体チップ 3 0 のマスクパターンを変更する必要がない。さらに、実施の形態 2 における中継用パッド電極 1 6<sub>Y1'</sub> と 3 2<sub>Y1'</sub> とを結ぶボンディングワイヤが不要であるので、実施の形態 2 よりもワイヤボンディングの工程が簡略化でき、またそれに伴うコストが低減できる。加えて、パッド電極 3 2<sub>Y1</sub> と 1 6<sub>Y0</sub> とのボンディングワイヤが短くなる分、電気抵抗が減り、該ワイヤを通じて流れる信号の遅延が無くなって信号の立ち上がり及び立ち下がりが早くなる。

## 【 0 0 3 3 】

## ( 4 ) 実施の形態 4

図 5 は実施の形態にかかる半導体装置 1 0<sub>4</sub> の一部を示す。この半導体装置 1 0<sub>4</sub> は、半導体チップ 3 0 において矢印 Y-Y' 方向に伸びる縁部近傍に配置されたパッド電極を、回路基板 1 4 において矢印 X-X' 方向に伸びる縁部近傍に配置されたパッド電極に接続した形態である。具体的に、半導体チップ 2 6 の矢印 Y-Y' 方向に伸びる縁部 3 8 近傍表面には、該縁部 3 8 に隣接し且つ半導体チップ 3 0 の Y-Y' 方向に伸びる縁部 4 0 近傍表面に設けたパッド電極 3 2<sub>Y1</sub> に対応して、中継用パッド電極 3 2<sub>Y1'</sub> が設けてある。また、半導体チップ 2 6 の矢印 Y-Y' 方向に伸びる縁部 4 2 近傍表面には、該縁部 4 2 に隣接し且つ回路基板 1 4 の Y-Y' 方向に伸びる縁部 4 4 近傍表面に設けたパッド電極 1 6<sub>X0</sub> に対応して、中継用パッド電極 3 2<sub>X0'</sub> が設けてある。これら中継用パッド電極 3 2<sub>Y1'</sub> と 3 2<sub>X0'</sub> は、半導体チップ 2 6 を製造する際の半導体形成プロセスで該半導体チップ 2 6 の内部又は外部に形成された接続用配線 4 6 を介して電氣的に接続されている。さらに、回路基板 1 4 の裏面には、パッド電極 1 6<sub>X0</sub> に電氣的に接続されたはんだボール（図示せず）が設けてある。これらパッド電極 3 2<sub>Y1</sub> と中継用パッド電極 3 2<sub>Y1'</sub>、また中継用パッド電極 3 2<sub>X0'</sub> とパッド電極 1

6<sub>X0</sub>をボンディングワイヤ34でそれぞれ接続し、これによりパッド電極32<sub>Y1</sub>が該パッド電極32<sub>Y1</sub>からX-X'方向及びY-Y'方向にシフトしたパッド電極16<sub>X0</sub>に電氣的に接続されている。

## 【0034】

この半導体装置10<sub>4</sub>によれば、ワイヤボンディングの配線可能範囲を超えて、矢印X-X'方向及び矢印Y-Y'方向に離れた2つの電極間に配線を設けることができる。したがって、マザー基板に対する半導体装置の配線自由度が更に向上する。

## 【0035】

なお、本実施の形態では、半導体チップの一边近傍に配置されたパッド電極を回路基板の隣接辺に配置されたパッド電極に接続したが、半導体チップ内の配線は半導体形成プロセスで自由に配線できるので、上記一边の反対側にある回路基板の別の辺の近傍に配置されたパッド電極に接続することも当然可能である。

## 【0036】

## (5) 実施の形態5

図6は実施の形態5にかかる半導体装置10<sub>5</sub>の一部を示す。本実施形態の半導体装置10<sub>5</sub>は、実施の形態1の変形例であり、回路基板14に設けた中継用パッド電極16<sub>Y1'</sub>と接続用パッド電極16<sub>Y0</sub>とがボンディングワイヤ34で接続されている。

## 【0037】

この半導体装置10<sub>5</sub>によれば、実施の形態1と同様に、半導体チップ26、30のマスクパターンを変更することなく、パッド電極32<sub>Y1</sub>を該パッド電極32<sub>Y1</sub>から矢印Y-Y'方向に（また、更に別の中継用パッド電極を設けることにより矢印X-X'方向にも）シフトした回路基板上のパッド電極に接続することができる。

## 【0038】

## (6) 実施の形態6

図7は実施の形態6にかかる半導体装置10<sub>6</sub>の一部を示す。本実施形態の半導体装置10<sub>6</sub>は、実施の形態2の変形例であり、半導体チップ26に中継用パ

ッド電極  $32Y_{01}'$  を設け、半導体チップ 30 のパッド電極  $32Y_1$  と回路基板 14 のパッド電極  $16Y_1'$ 、また回路基板 14 のパッド電極  $16Y_1'$  と半導体チップ 26 の中継用パッド電極  $32Y_{01}'$ 、さらに半導体チップ 26 の中継用パッド電極  $32Y_{01}'$  と回路基板 14 の接続用パッド電極  $16Y_0$  が、ボンディングワイヤ 34 でそれぞれ接続され、半導体チップ 30 のパッド電極  $32Y_1$  と該パッド電極  $32Y_1$  から矢印  $Y-Y'$  方向にオフセットした場所にある回路基板 14 の接続用パッド電極  $16Y_0$  とが電氣的に接続されている。

## 【 0 0 3 9 】

この半導体装置 106 によれば、半導体チップ 30 のマスクパターンを変更することなく、該半導体チップ 30 のパッド電極  $32Y_1$  を離れた場所にある回路基板 14 上のパッド電極に対して、ボンディングワイヤを交叉することなく、接続できる。

## 【 0 0 4 0 】

## (7) 実施の形態 7

図 8 は実施の形態 7 にかかる半導体装置 107 の一部を示す。本実施形態の半導体装置 107 において、回路基板 14 のパッド電極  $50Y_0$  に接続される半導体チップ 30 のパッド電極  $52Y_1$  は、半導体チップ 30 の裏面 54 に設けてある。一方、この半導体チップ 30 を支える他方の半導体チップ 26 の表面 56 には、この表面 56 上に半導体チップ 30 を載せたときにパッド電極  $52Y_1$  が対向する場所に配線部分 58 が設けてある。この配線部分 58 は該配線部分 58 から矢印  $X'$  方向に所定距離移動し、半導体チップ 30 の載る領域の外側の領域に形成された配線部分 60 に接続され、さらに配線部分 60 は該配線部分 60 から矢印  $X$  方向に伸びる配線部分 62 を介して中継パッド電極 64 に接続されている。そして、半導体チップ 30 のパッド電極  $52Y_1$  は、半導体チップ 30 を半導体チップ 26 上に載せる際にパッド電極  $52Y_1$  と配線部分 58 とではんだ 66 を挟み、これにより配線部分 58 と電氣的に接続される。なお、はんだ 66 は後に加熱熔融され、これにより半導体チップ 26 と 30 がほぼ密着する。また、半導体チップ 26 の配線部分 64 と配線基板 14 のパッド電極  $50Y_0$  は、ボンディングワイヤ 34 を介して電氣的に接続される。

## 【 0 0 4 1 】

この半導体装置 1 0<sub>7</sub>によれば、半導体チップのパッド電極を、該パッド電極から矢印 X-X' 方向及び Y-Y' 方向に離れた場所に設けた回路基板のパッド電極に対して、ボンディングワイヤを交叉することなく接続できる。また、半導体装置 1 0<sub>7</sub>によれば、上部の半導体チップ 3 0 が下部の半導体チップ 2 6 の表面の殆どを占有する場合でも、残りの限られた表面部分を利用して、配線位置を矢印 X-X' 方向及び Y-Y' 方向にシフトできる。また、ワイヤボンディングの距離が短くなり、ワイヤボンディングのコスト、時間を低減できる。

## 【 0 0 4 2 】

なお、図 8 では、半導体チップ 3 0 のパッド電極は該半導体チップ 3 0 の裏面に存在する一つのパッド電極しか示していないが、半導体チップ 3 0 のパッド電極はすべて該半導体チップの裏面に設けてもよい。この場合、半導体チップ 3 0 の表面にパッド電極が存在せず、そのために該表面のパッド電極と回路基板とをボンディングワイヤで接続する必要がないので、高さの低い小型の半導体装置を提供できる。ただし、パッド電極 5 2<sub>Y1</sub>又は該パッド電極 5 2<sub>Y1</sub>を含む複数のパッド電極だけを半導体チップの裏面に設け、残りのパッド電極は半導体チップの表面に配置してもよい。

## 【 0 0 4 3 】

また、本実施の形態では、半導体チップ 2 6 の電極とこれに対向する半導体チップ 3 0 の電極をはんだで接続しているが、両電極を接続できるものであればあらゆる電氣的接続手段を利用できる。

## 【 0 0 4 4 】

## ( 8 ) 実施の形態 8

図 9 は実施の形態 8 にかかる半導体装置 1 0<sub>8</sub>の一部を示す。本実施形態の半導体装置 1 0<sub>8</sub>は、実施の形態 7 の半導体装置の変形例であり、半導体チップ 2 6 の表面 5 6 から、上述した電極部分 6 2 と 6 4 が除かれている。一方、回路基板 1 4 の表面には、パッド電極 5 0<sub>Y0</sub>の他に、パッド電極 5 0<sub>Y0</sub>から矢印 Y' 方向に所定距離を隔てた場所に中継電極 7 0<sub>Y1</sub>' が形成され、これらパッド電極 5 0<sub>Y0</sub>と中継電極 7 0<sub>Y1</sub>' が配線 7 2 で電氣的に接続されている。そして、電極部

分 6 0 と中継電極 7 0<sub>Y1</sub>' が、ボンディングワイヤ 6 8 で電氣的に接続されている。その他の構成は、実施の形態 7 の半導体装置 1 0<sub>7</sub> と実質的に同一である。したがって、この半導体装置 1 0<sub>8</sub> によれば、上述した実施の形態 7 の半導体装置 1 0<sub>7</sub> と同一の作用効果が得られる。

## 【 0 0 4 5 】

## ( 9 ) 実施の形態 9

図 1 0 は実施の形態 9 にかかる半導体装置 1 0<sub>9</sub> の一部を示す。本実施形態の半導体装置 1 0<sub>9</sub> は、実施の形態 8 の半導体装置の変形例であり、回路基板 1 4 のパッド電極 5 0<sub>Y0</sub> と中継電極 7 0<sub>Y1</sub>' がボンディングワイヤ 3 4 で電氣的に接続されている。その他の構成は、実施の形態 8 の半導体装置と同一である。したがって、この半導体装置 1 0<sub>8</sub> によれば、上述した実施の形態 7 の半導体装置 1 0<sub>7</sub> と同一の作用効果が得られる。

## 【 0 0 4 6 】

なお、以上の実施の形態では、回路基板は矩形の板としたが、導電材料からなる板を所定の形に加工した所謂リードフレームであってもよい。また、以上の実施形態では、回路基板上に第 1 と第 2 の半導体チップを積層した半導体装置を示したが、本発明にとって回路基板上に設ける半導体チップの数は限定的なものではない。

## 【 0 0 4 7 】

## 【発明の効果】

以上、本発明の半導体装置は、ワイヤボンディングによって制限されることなく、またワイヤボンディングの性能を超えて、半導体チップのパッド電極を回路基板の任意の位置に配置された電気接続部に対して電氣的に接続できる。

## 【 0 0 4 8 】

また、本発明の半導体装置は、半導体チップの回路配線を変更することなく、種々のマザー基板上に実装できる。

## 【 0 0 4 9 】

さらに、本発明の半導体装置は、ワイヤボンディングで接続可能な範囲を超えて、半導体チップと回路基板とを電氣的に接続できる。

【図面の簡単な説明】

【図 1】 実施の形態 1 にかかる半導体装置の部分斜視図。

【図 2】 図 1 に示す半導体装置の側面図。

【図 3】 実施の形態 2 にかかる半導体装置の部分斜視図。

【図 4】 実施の形態 3 にかかる半導体装置の部分斜視図。

【図 5】 実施の形態 4 にかかる半導体装置の部分斜視図。

【図 6】 実施の形態 5 にかかる半導体装置の部分斜視図。

【図 7】 実施の形態 6 にかかる半導体装置の部分斜視図。

【図 8】 実施の形態 7 にかかる半導体装置の部分斜視図。

【図 9】 実施の形態 8 にかかる半導体装置の部分斜視図。

【図 1 0】 実施の形態 9 にかかる半導体装置の部分斜視図。

【図 1 1】 従来の半導体装置にかかる積層型パッケージ（S-CSP）の側面図。

【図 1 2】 図 1 1 に示す積層型パッケージの斜視図。

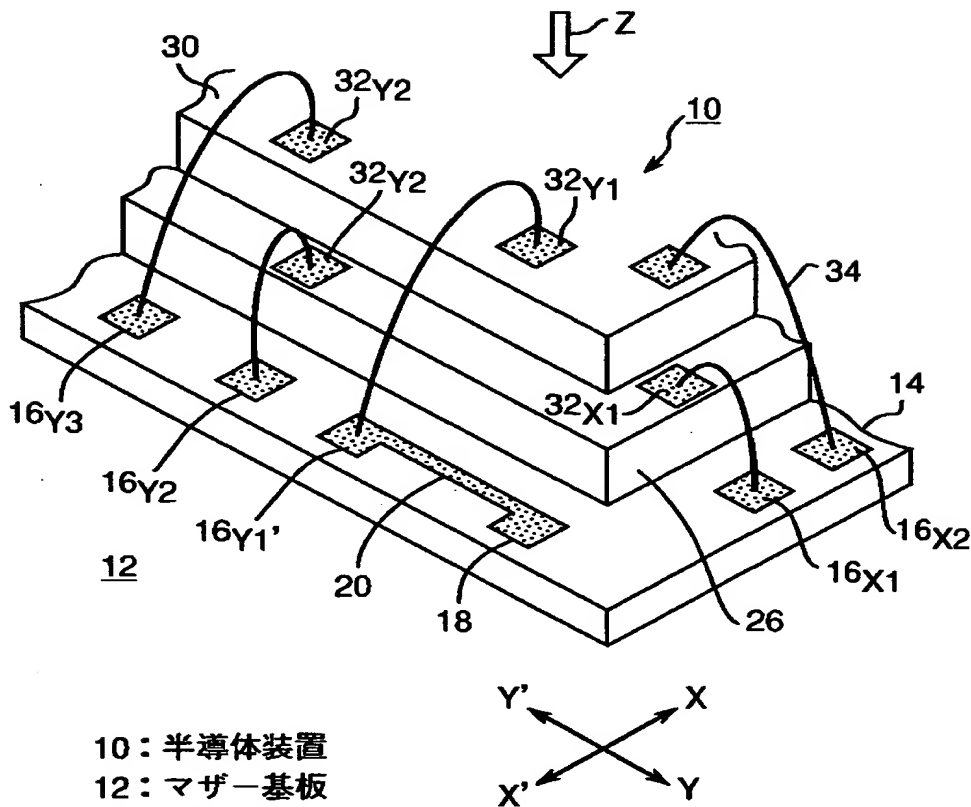
【符号の説明】

1 0 半導体装置、 1 2 マザー基板、 1 4 回路基板、 1 6<sub>X1</sub>・3 2  
X1 パッド電極、 1 6<sub>Y1</sub> 中継用パッド電極、 2 0 配線、 2 6 第 1  
の半導体チップ、 3 0 第 2 の半導体チップ、 3 4 ボンディングワイヤ。



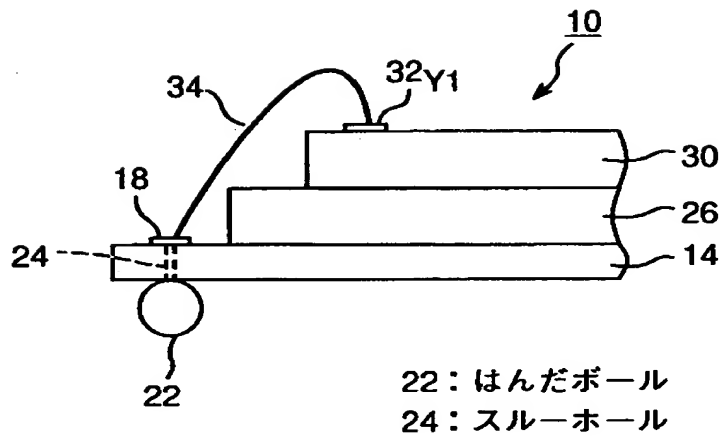
【書類名】 図面

【図1】

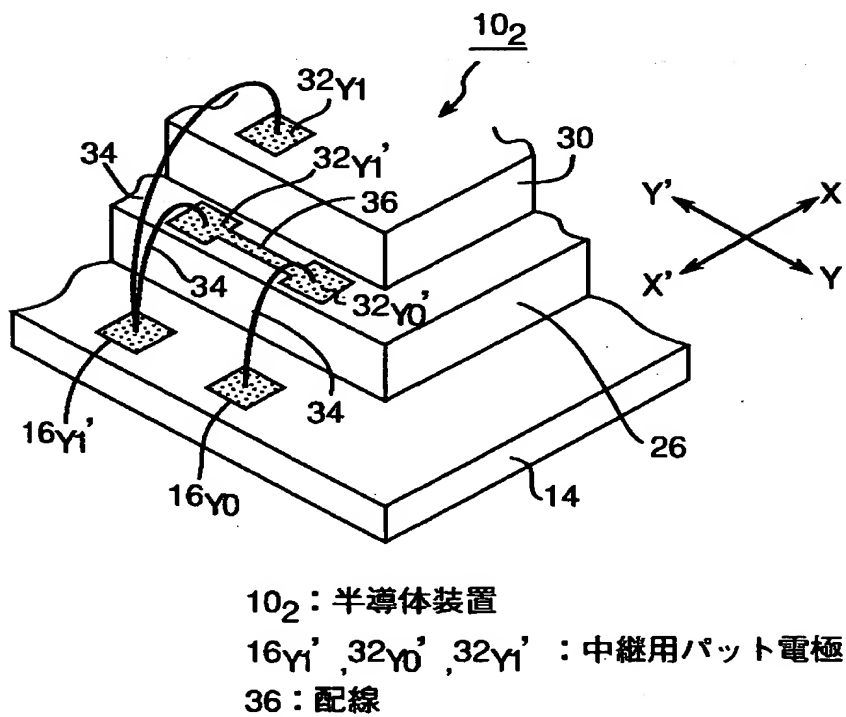


- 10：半導体装置
- 12：マザー基板
- 14：回路基板
- 16X1, …：パッド電極
- 16Y1, …：中継用パッド電極
- 18：接続用電極
- 20：配線
- 26：第1の半導体チップ
- 30：第2の半導体チップ
- 32X1, …：パッド電極
- 34：ボンディングワイヤ

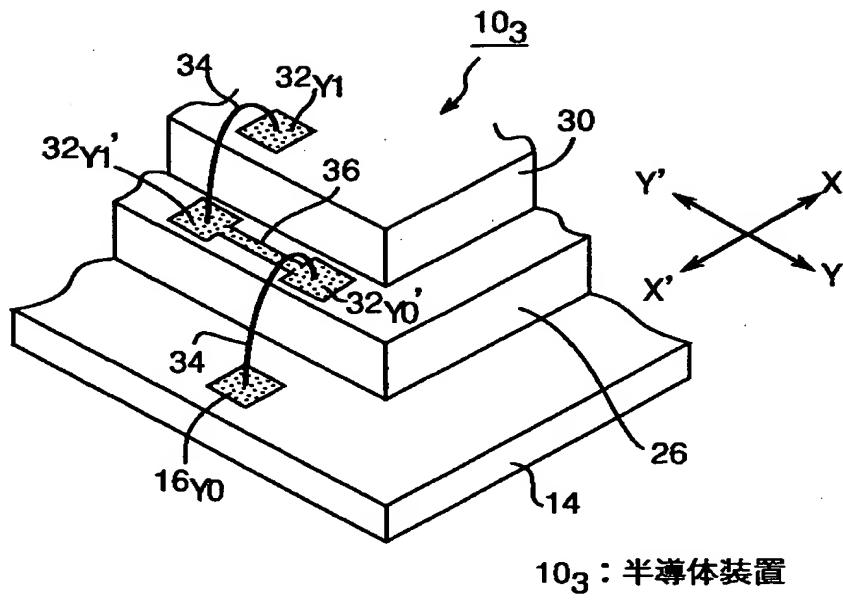
【図 2】



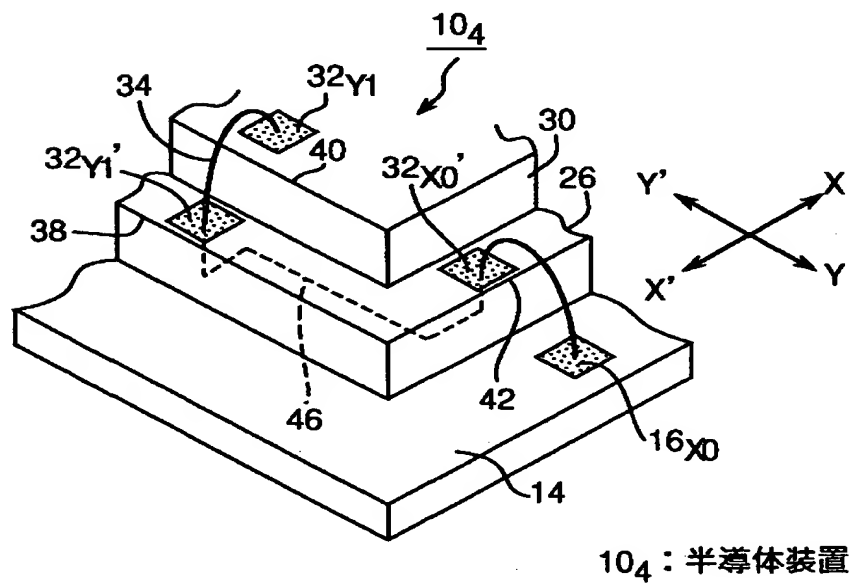
【図 3】



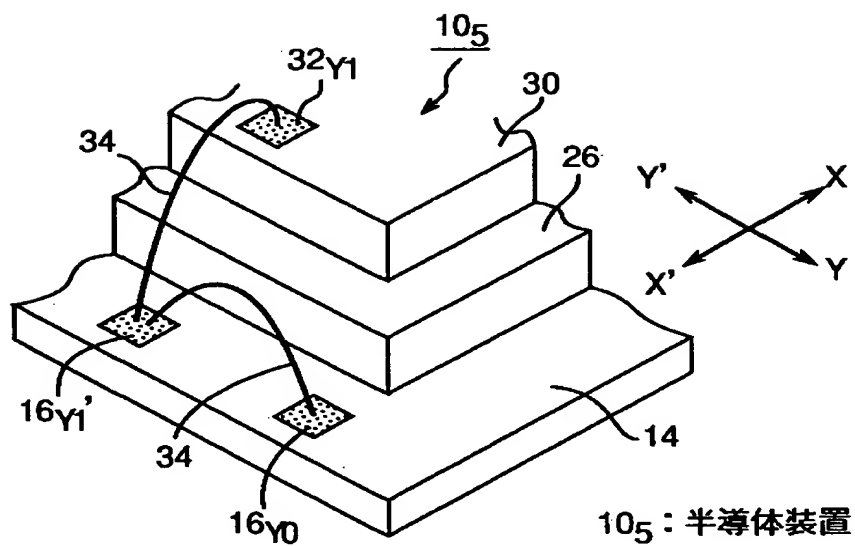
【図 4】



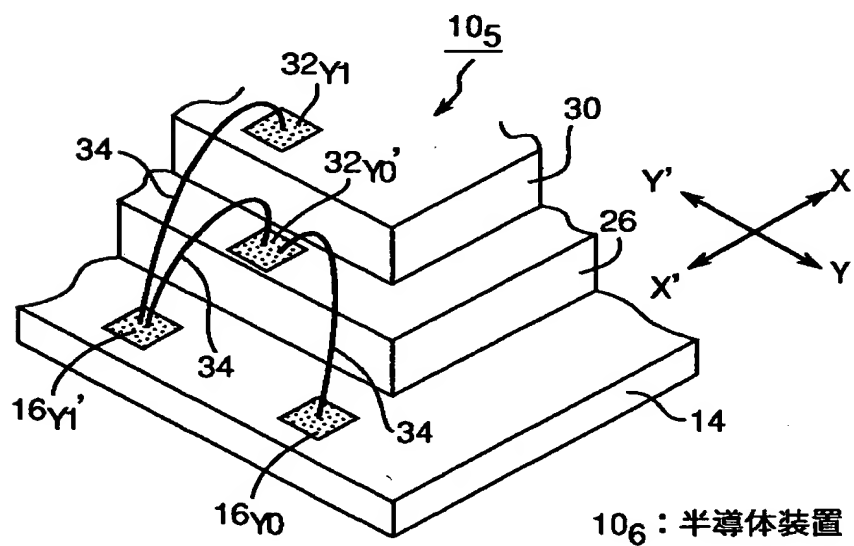
【図 5】



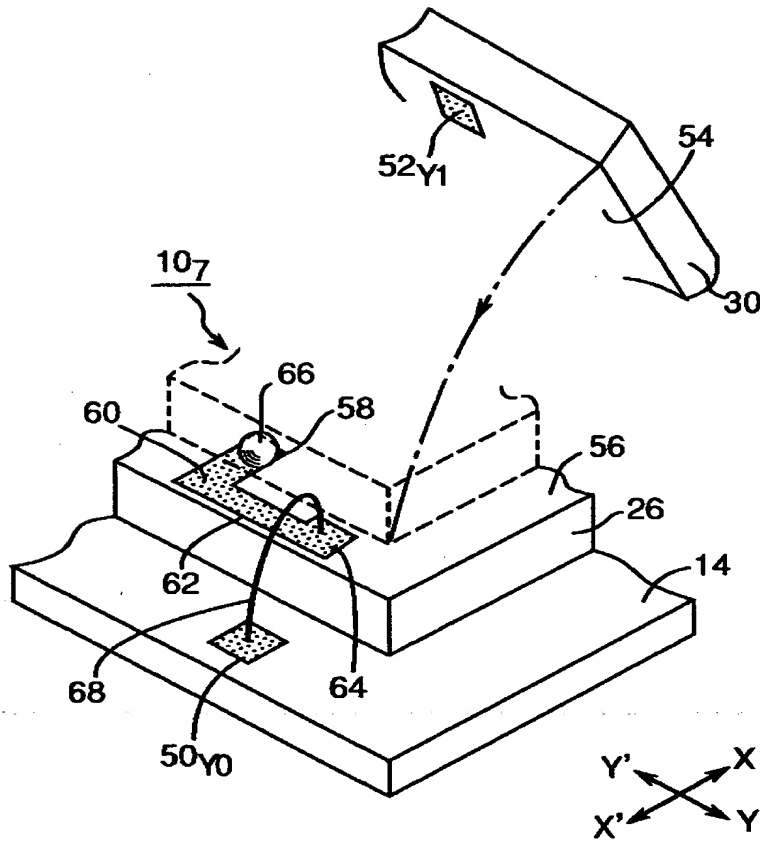
【図 6】



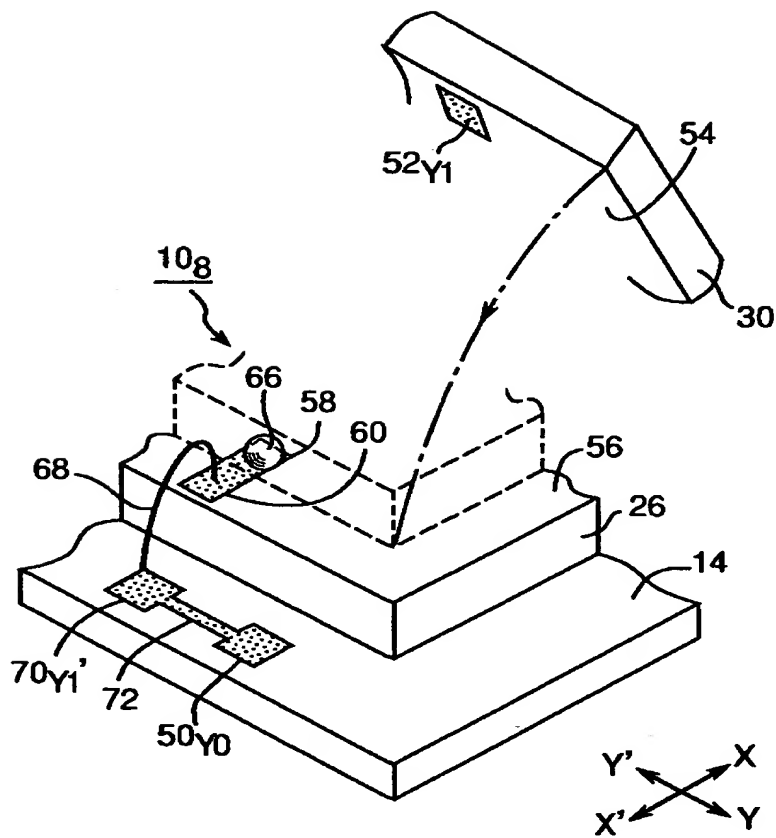
【図 7】



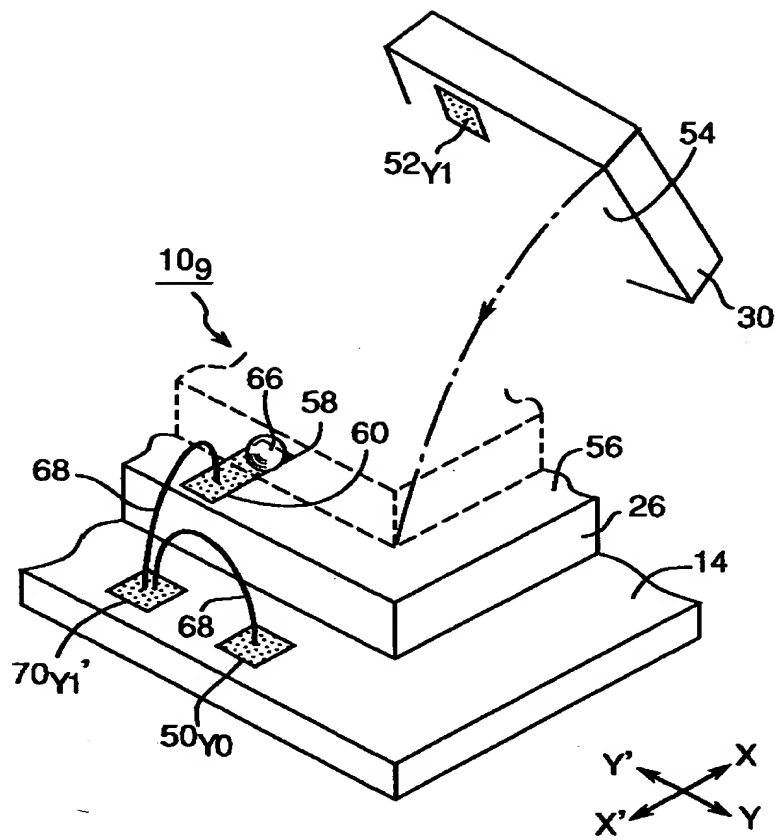
【図8】



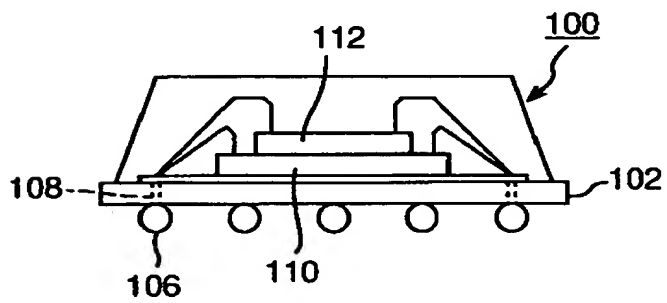
【図9】



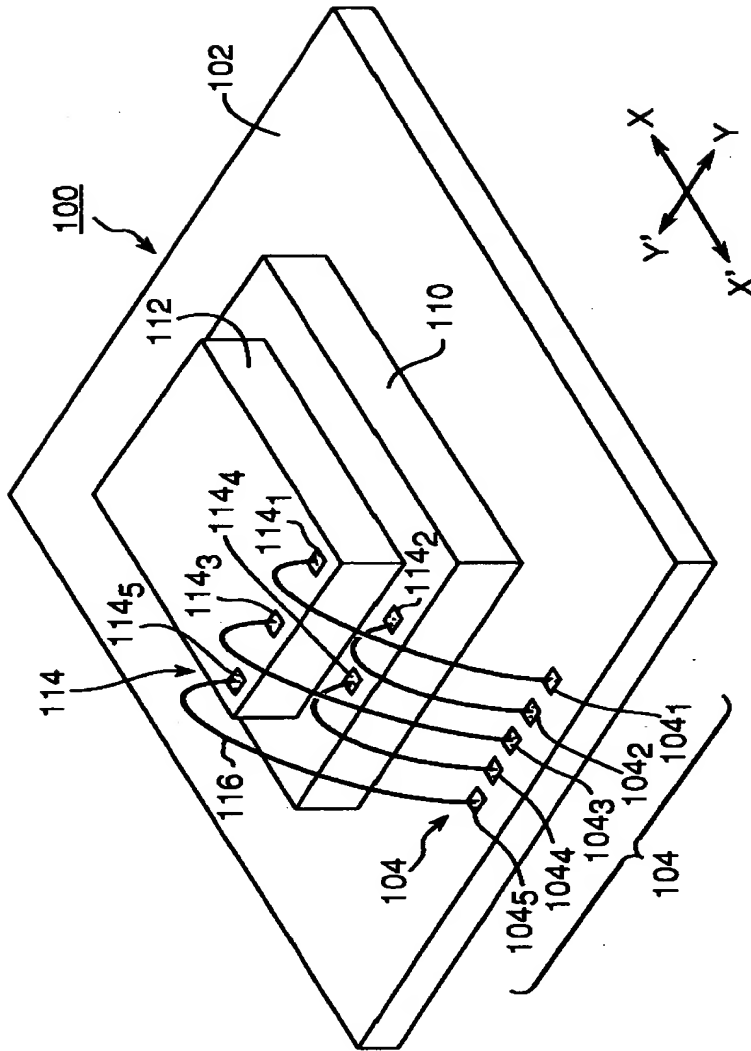
【図10】



【図11】



【図 12】





【書類名】 要約書

【要約】

【課題】 ワイヤボンディングによって制限されることなく、またワイヤボンディングの性能を超えて、半導体チップのパッド電極を回路基板の任意の電気接続部に対して接続できる半導体装置及びその配線方法を提供する。

【解決手段】 半導体装置(10)は、マザー基板(12)上に配置される回路基板(14)と、回路基板上に配置された半導体チップ(26、30)とを含む。回路基板は、半導体チップを支持する表面上に、パッド電極(16<sub>Y1</sub>')と、該パッド電極から離れた場所に設けた導電接続部(18)と、パッド電極と導電接続部とを電気的に接続する配線(20)を有する。一方、半導体チップは回路基板のパッド電極に対応するパッド電極(32<sub>Y1</sub>)を有する。そして、回路基板のパッド電極と半導体チップのパッド電極は、ボンディングワイヤ(34)で電気的に接続される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社